

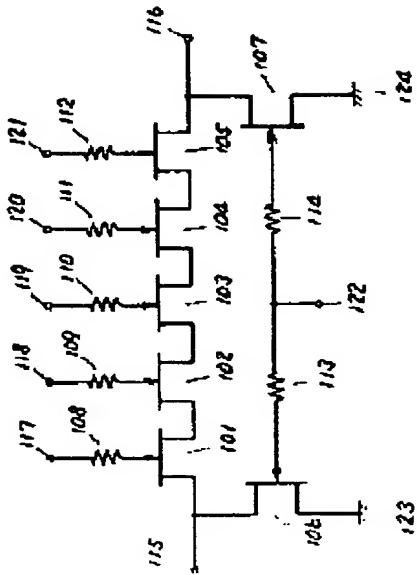
# HIGH FREQUENCY ATTENUATOR

**Patent number:** JP1030315  
**Publication date:** 1989-02-01  
**Inventor:** NAKATSUKA TADAYOSHI; NANBU SHUTARO;  
SAKASHITA SEIJI; OZEKI HIROAKI; JINNO IPPEI  
**Applicant:** MATSUSHITA ELECTRIC IND CO LTD  
**Classification:**  
- international: H03H11/24; H03H11/02; (IPC1-7): H03H11/24  
- european:  
**Application number:** JP19870187144 19870727  
**Priority number(s):** JP19870187144 19870727

[Report a data error here](#)

## Abstract of JP1030315

**PURPOSE:** To reduce a high frequency distortion by combining a field effect transistor FET serially or in parallel, and using respective FETs in either of an ON condition or an OFF condition mainly. **CONSTITUTION:** When a desired attenuating quantity is 0dB, FETs 101-105 are all in the ON condition (condition of minimum attenuating quantity). This is realized by making the potential of attenuating quantity control terminals 117-121 into '0' V. Thereafter, in accordance with the prescribed attenuating quantity, the attenuation is executed by the combination of the ON condition and the OFF condition (condition of maximum attenuating quantity) of the FETs 101-105. In any case, the gate potential of FETs 106 and 107 is controlled by an impedance control terminal 122 and the input output impedance is matched. Thus, since only two points of the ON condition (minimum attenuation) and the OFF condition (maximum attenuation) of the FETs 101-105 can be used, the low distortion is obtained.



---

Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
⑫ 公開特許公報 (A) 昭64-30315

⑬ Int.Cl.  
H 03 H 11/24

識別記号 庁内整理番号  
7922-5J

⑭ 公開 昭和64年(1989)2月1日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 高周波減衰器

⑯ 特 願 昭62-187144  
⑰ 出 願 昭62(1987)7月27日

⑱ 発明者 中塚 忠良	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発明者 南部 修太郎	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑳ 発明者 坂下 誠司	大阪府門真市大字門真1006番地	松下電器産業株式会社内
㉑ 発明者 尾閔 浩明	大阪府門真市大字門真1006番地	松下電器産業株式会社内
㉒ 発明者 神野 一平	大阪府門真市大字門真1006番地	松下電器産業株式会社内
㉓ 出願人 松下電器産業株式会社	大阪府門真市大字門真1006番地	松下電器産業株式会社内
㉔ 代理人 弁理士 中尾 敏男	大阪府門真市大字門真1006番地	外1名

明細書

1. 発明の名称

高周波減衰器

2. 特許請求の範囲

(1) 電界効果トランジスタを、直列または並列に複数個組み合わせて△形回路を構成し、それぞれの前記電界効果トランジスタを、オン状態またはオフ状態のどちらかの状態で用いることにより、任意の減衰量を得られるようにした高周波減衰器。

(2) 電界効果トランジスタが並列または直列抵抗と共に接続されてなる特許請求の範囲第(1)項記載の高周波減衰器。

3. 発明の詳細な説明

産業上の利用分野

本発明は、低消費電力、低歪、広帯域の高周波減衰器に関するものである。

従来の技術

近年、高周波機器類は、ますます小型、低消費電力化が進み、減衰器も小型化が要求されてい

る。

以下に従来の高周波減衰器について説明する。

第5図は、従来の高周波減衰器の回路図を示すものである。第5図において、501～503は電界効果トランジスタ(以後、FET)、504～506は抵抗、507は高周波入力端子、508は高周波出力端子、509は減衰量制御端子、510はインピーダンス制御端子、511、512は接地である。

まず、減衰量が最小のとき、FET 501のゲート電位は、そのドレインーソース間抵抗が最小になるように、減衰量制御端子 509から印加される。このとき、FET 502、503のドレインーソース間抵抗が最大になるようにインピーダンス制御端子 510からそれぞれのFETに、ゲート電位が印加されている。逆に、減衰量が最大のとき、FET 501～503のゲート電位は、上記の状態と全く逆である。すなわち、FET 501のドレインーソース間抵抗は最大に、FET 502、503のドレインーソース間抵抗は最小

になるように、それぞれのFETのゲート電位が設定される。通常は、この両者の間の状態で使用され、FET501により、主に減衰量が、FET502.503により主に入出力インピーダンスが制御される。

#### 発明が解決しようとする問題点

しかしながら上記従来の構成では、第6図の特性図のように、減衰量を大きくするにつれ、FETの非線形領域に深く入り込むため、しだいに出力端の高次歪が大きくなるという欠点を有していた。

本発明は上記従来の問題点を解決するもので、低歪、低消費電力、広帯域の高周波減衰器を提供することを目的とする。

#### 問題点を解決するための手段

この目的を達成するために、本発明の高周波減衰器は、FETを直列または並列に複数個組み合わせて構成し、それぞれのFETを、オン状態あるいはオフ状態のどちらかの状態で主に用いることにより、任意の減衰量を得られる構成を有して

全FETとも、ほぼ0dBである。また、最大減衰量は、順に、1, 2, 4, 8, 16dBである。まず、所望減衰量が0dBの場合、FET101～105はすべてオン状態（最小減衰量の状態）にある。これは、減衰量制御端子117～121の電位を0Vにすることにより実現される。以後、所望減衰量に応じて、FET101～105のオン状態とオフ状態（最大減衰量の状態）の組み合わせにより減衰を行なう。例えば、所望減衰量が、21dBの場合、FET101, 103, 105をオフ状態にし、FET102, 104をオン状態にする。いずれの場合も、FET106, 107のゲート電位を、インピーダンス制御端子122により制御して、入出力インピーダンスの整合を行なう。第1の実施例の場合、0dBから31dBまで、1dB間隔で32段階の減衰量を得ることができる。

次に、本発明の第2の実施例について、図面を参照しながら説明する。

第2図は本発明の第2の実施例を示す高周波減

衰器の回路図である。同図において、101～107はFET、108～112は抵抗、115は高周波信号入力端子、116は高周波信号出力端子、117～121は減衰量制御端子、122はインピーダンス制御端子、123, 124は接地で以上は第1図の構成と同様のものである。第1図の構成と異なるのは、抵抗125～126を、FETと並列に接続した点である。

FET101～105の最小減衰量はほぼ0dBである。また、最大減衰量は50dB以上である。抵抗125～129は減衰器として用い、その減衰量は順に、1, 2, 4, 8, 16dBである。まず、所望減衰量が0dBの場合、FET101～105はすべてオン状態にある。以後、所望減衰量の増大に応じて、FET101～105のオン状態とオフ状態の組み合わせにより減衰を行なう。第1の実施例と異なるのは、FETを減衰器として用いずに、FETに並列接続された抵抗を減衰器として用いる点である。

第3の実施例について説明する。第3図は本発

衰器の回路図である。同図において、101～107はFET、108～112は抵抗、115は高周波信号入力端子、116は高周波信号出力端子、117～121は減衰量制御端子、122はインピーダンス制御端子、123, 124は接地で以上は第1図の構成と同様のものである。第1図の構成と異なるのは、抵抗125～126を、FETと並列に接続した点である。

この構成によって、FETのオン状態（減衰量最小）とオフ状態（減衰量最大）の2点だけを用いることができるため、低歪の高周波減衰器を得ることができる。

#### 実施例

以下本発明の一実施例について、図面を参照しながら説明する。

第1図は本発明の第1の実施例における高周波減衰器の回路図を示すものである。第1図において、101～107はFET、108～114は抵抗、115は高周波入力端子、116は高周波出力端子、117～121は減衰量制御端子、122はインピーダンス制御端子、123, 124は接地である。

今、101～105のFETの最小減衰量は、

明の第3の実施例を示す高周波減衰器の回路図である。同図において、301～307はFET、308～314は抵抗、315～319は減衰量制御端子、320は高周波入力端子、321は高周波出力端子、322はインピーダンス制御端子、323、324は接地である。

FET 301～305の最小減衰量は順に、0.5, 1.0, 1.5, 2.0 dBであり、最大減衰量は全FETとも50 dB以上である。所望減衰量が0～20 dBの範囲で5の倍数であれば、対応する最小減衰量をもつFETを1つだけオン状態にする。所望する減衰量が前述の範囲で、5の倍数でない場合は、複数個のFETのオン・オフ状態を組み合わせて実現する。例えば、所望減衰量が8 dBの場合、FET 303と304をオン状態に、FET 301, 302, 305をオフ状態にすることにより実現する。また、入出力インピーダンス整合は、インピーダンス制御端子322の電位を制御することにより行なう。

第4の実施例について図面を参照しながら説明

する。

第4図は本発明の第4の実施例を示す高周波減衰器の回路図である。同図において、301～307はFET、308～314は抵抗、315～319は減衰量制御端子、320は高周波入力端子、321は高周波出力端子、322はインピーダンス制御端子、323, 324は接地で、以上は第3図の構成と同様なものである。第4図の構成と異なるのは、抵抗325～329を、FET 301～329と直列に接続した点である。

抵抗325～329の減衰量は順に、0.5, 1.0, 1.5, 2.0 dBである。また、FET 301～305はすべて同様のもので、その最小減衰量はほぼ0 dB、最大減衰量は50 dB以上である。所望減衰量が0 dB～20 dBの範囲で5の倍数であるときは、対応する減衰量をもつ抵抗と直列に接続されているFETをオン状態にする。所望減衰量が前述の範囲で、5の倍数でない場合は、複数個のFETのオン・オフ状態を組み合わせて実現する。

#### 発明の効果

本発明によると、FETを直列または並列に組み合わせて構成したことにより、それぞれのFETをオン状態またはオフ状態のどちらかの状態で主に用いることにより、高周波歪を低減することができる優れた高周波減衰器を実現できるものである。

#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例高周波減衰器の回路図、第2図は本発明の第2の実施例高周波減衰器の回路図、第3図は本発明の第3の実施例高周波減衰器の回路図、第4図は本発明の第4の実施例高周波減衰器の回路図、第5図は従来の高周波減衰器の回路図、第6図は従来の高周波減衰器の減衰量-高次歪特性である。

101～107, 301～305, 501～503……FET, 108～114, 125～129, 308～314, 325～329, 504～506……抵抗, 117～121, 315～319, 509……減衰量制御端子, 122,

322, 510……インピーダンス制御端子, 123, 124, 323, 324, 511, 512……接地。

代理人の氏名 弁理士 中尾敏男 ほか1名

第 1 四

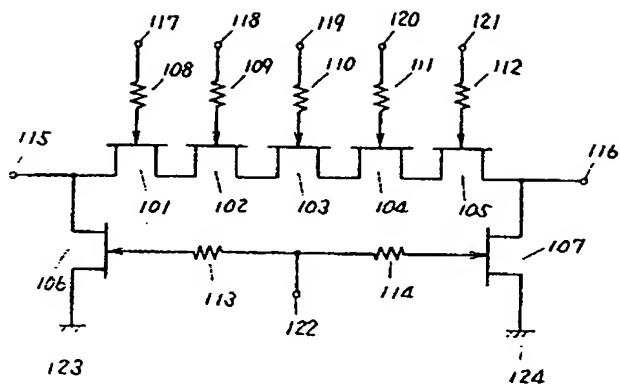
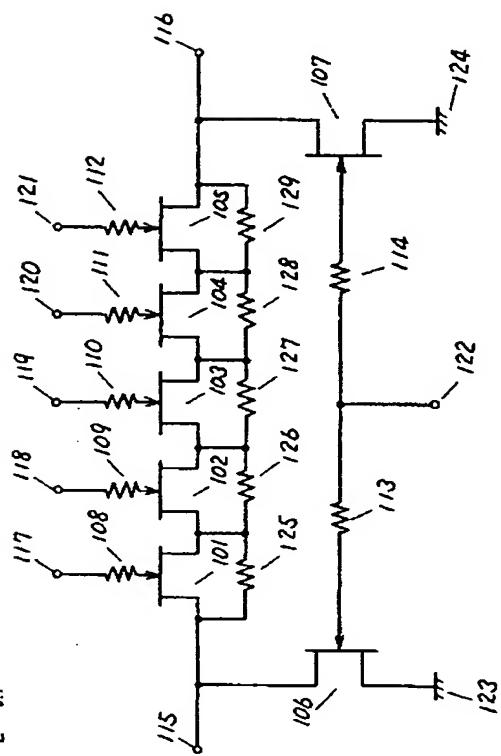
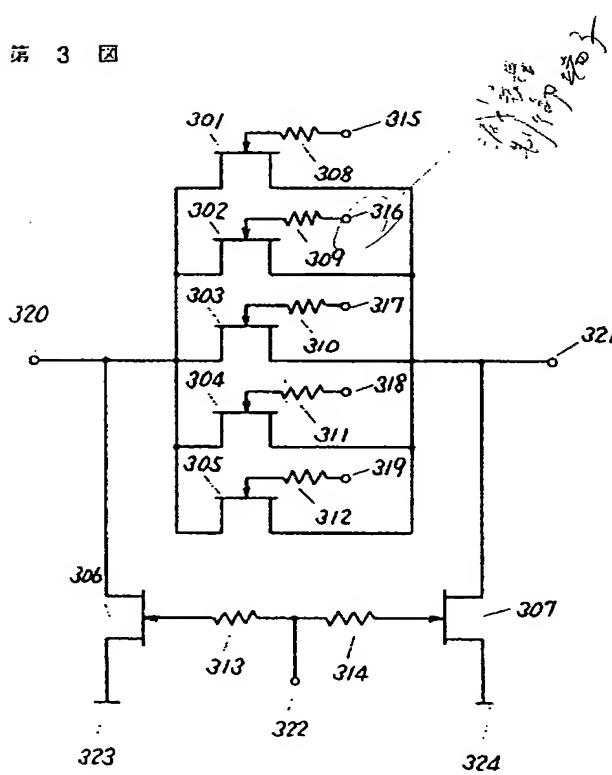


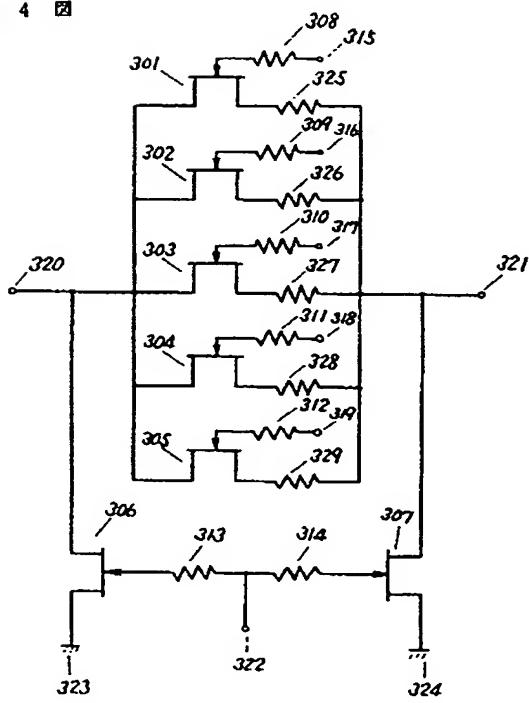
圖 2 算



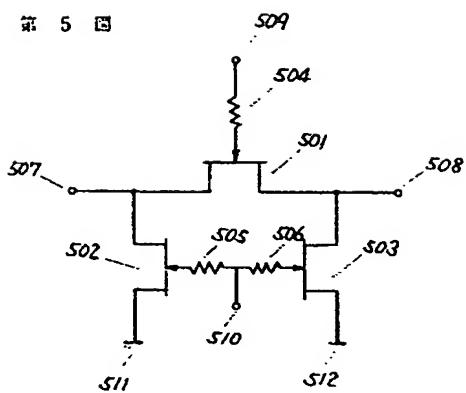
### 第 3 図



第 4 因



第 5 図



第 6 図

